

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07036061 A**

(43) Date of publication of application: **07.02.95**

(51) Int. Cl. **G02F 1/136**
G02F 1/1343

(21) Application number: **05183881**

(22) Date of filing: **26.07.93**

(71) Applicant: **NIPPONDENSO CO LTD**

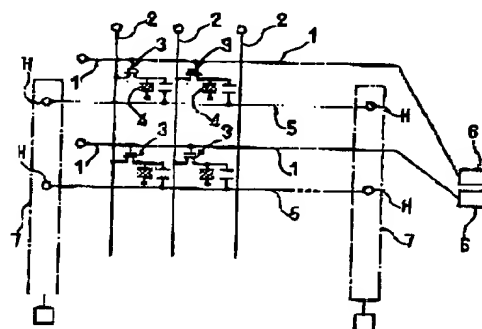
(72) Inventor: **AOKI KOJI**
NAKAMURA TAKEHIRO

(54) **ACTIVE MATRIX TYPE LIQUID CRYSTAL
DISPLAY DEVICE**

(57) Abstract:

PURPOSE: To decrease stages for forming contact holes at one time and to make treatment time shorter and production costs lower by forming common lines of the same material as the material of land parts.

CONSTITUTION: The extension parts of respective scanning lines 1 are provided with the land parts 6 of electrodes for packaging by soldering for the purpose of connection to the outside and are further arranged with many additive capacitance lines 5 in parallel with the respective scanning lines 1. Both ends of the additive capacitance lines 5 are connected to the common lines 7 for the purpose of supplying potentials. The common lines 7 on both sides are formed of the same material (land metal) as the material of the land parts 6 of the scanning lines 1. Since the common lines are simultaneously formed of the same material as the material of the land parts, the execution of the connection of the extension parts of the scanning lines with the land parts and the connection to the additive capacitance lines simultaneously with the formation of the common lines is possible. Contact holes may be formed on protective films on the ends of the additive capacitances and the extension parts of the scanning lines before the formation of the land parts. Then, the stages for forming the contact holes are decreased to one stage.



COPYRIGHT: (C)1995,JPO

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平7-36061

(43)公開日 平成7年(1995)2月7日

(51)Int.Cl.⁹

G 0 2 F

1/136

1/1343

識別記号

5 0 0

庁内整理番号

9119-2K

8707-2K

P I

技術表示箇所

審査請求 未請求 請求項の数1 OL (全4頁)

(21)出願番号

特願平5-183881

(22)出願日

平成5年(1993)7月26日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 青木 孝司

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 中村 武宏

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

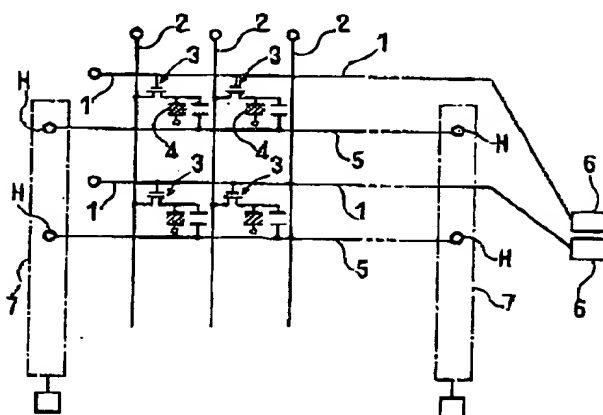
(74)代理人 弁理士 飯田 聖太郎

(54)【発明の名称】 アクティブマトリックス型液晶表示装置

(57)【要約】

【目的】コンタクトホールを形成するための工程を1度に削減でき、処理時間の短縮と製造コスト等の低減を図ることができるアクティブマトリックス型液晶表示装置を提供する。

【構成】アクティブマトリックス型液晶表示装置は、マトリックス状に配設された走査線1と信号線2の各交差位置に多数のTFT3が配設され、走査線1と平行に多数の付加容量線5が配設されたアレイ基板を有する。付加容量線5の端部に接続されるコモンライン7が、走査線1の延長部に接続される半田付け実装用電極のランド部6と同じ材料で形成されている。



(2)

特開平7-36061

1

【特許請求の範囲】

【請求項1】 マトリックス状に配設された走査線と信号線の各交差位置に多数の薄膜トランジスタが配設され、該走査線と平行に多数の付加容量線が配設されたアレイ基板を有するアクティブマトリックス型液晶表示装置において、

前記付加容量線の端部に接続されるコモンラインが、前記走査線の延長部に接続される半田付け実装用電極のランド部と同じ材料で形成されていることを特徴とするアクティブマトリックス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ（以下、TFTと略称する）を各画素毎に配置してスイッチング動作させ、画素を表示するアクティブマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】この種のアクティブマトリックス型液晶表示装置は、基本的には、一方のガラス基板上に走査線（走査電極線）と信号線（信号電極線）がマトリックス状に配設され、それらの交差位置にTFT及び画素電極を設けてアレイ基板が形成され、他方のガラス基板上に共通電極を形成した対向基板が形成され、アレイ基板と対向基板の上面に配向膜を形成し、間隙をおいて平行に貼り合わせたアレイ基板と対向基板の間に液晶を封入して形成される。

【0003】ところで、このアクティブマトリックス型液晶表示装置においては、画質を向上させるために付加容量線が設けられているが、この付加容量線の信号遅延により画面にむらが生じやすい。このため、付加容量線の両側から多層配線技術を用いて電位を供給している。この多層配線は、コモンラインと呼ばれ、従来、信号線を形成する時、同時に形成されていた。

【0004】

【発明が解決しようとする課題】これらの付加容量線は、その末端でコモンラインに多層配線で接続され、電位が印加されるが、それらの付加容量線とコモンラインとの接続は、コンタクトホール形成後のコモンラインの形成により行われ、また、コモンラインは、従来、信号線と同じ材料で、信号線と同時に形成されていた。このため、アレイ基板形成の工程において、コモンラインと付加容量線を接続するためのコンタクトホールを2度にかけて形成する必要があった。

【0005】即ち、アレイ基板を製造する場合、図5に示すように、まず、ガラス基板上にCrをスパッタリング法等により形成し、ホトリソグラフィ等により走査線と付加容量線を形成する。次に、プラズマCVD法により、窒化ケイ素膜、a-Si膜、窒化ケイ素膜を連続して堆積し、ゲート絶縁膜、半導体層、エッチングストッパを形成する。

2

【0006】次に、ITOをスパッタリング法で堆積させ、画素電極を形成する。そして、付加容量線の端部を覆うゲート絶縁膜に、孔を穿設することにより、そこにコンタクトホール(I)を形成する。

【0007】次に、スパッタリング法等によりチタンを堆積させ、信号線とそれに接続されるソース電極、ドレイン電極、及び付加容量線に接続されるコモンラインを形成する。その後、窒化ケイ素からなる保護膜をプラズマCVD法により基板上に形成する。

10 【0008】さらに、走査線の延長端部を覆うゲート絶縁膜と保護膜に、コンタクトホール(II)をドライエッチング法等により形成する。そして最後に、ランドメタルと呼ばれるTi, Ni, Auの金属をスパッタリング法等により堆積させ、ランド部（半田付け実装用電極）を走査線と付加容量線に接続して形成していた。

【0009】このように、付加容量線とコモンラインを接続するため、及び、走査線の延長端部とランド部との接続のために、コンタクトホールを2度にわたって形成していたため、ホトリソグラフィ等の処理工程が多くなると共に、そのためのフォトマスクの枚数も増大する問題があった。

【0010】本発明は、上記の点に鑑みてなされたもので、コンタクトホールを形成するための工程を1度に削減でき、処理時間の短縮と製造コスト等の低減を図ることができるアクティブマトリックス型液晶表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するためには、本発明のアクティブマトリックス型液晶表示装置は、マトリックス状に配設された走査線と信号線の各交差位置に多数の薄膜トランジスタが配設され、走査線と平行に多数の付加容量線が配設されたアレイ基板を有するアクティブマトリックス型液晶表示装置において、付加容量線の端部に接続されるコモンラインが、走査線の延長部に接続される半田付け実装用電極のランド部と同じ材料で形成されていることを特徴とする。

【0012】

【作用・効果】このようなアクティブマトリックス型液晶表示装置では、そのアレイ基板の製造時、付加容量線の端部に接続されるコモンラインが、走査線の延長部に接続される半田付け実装用電極のランド部と同じ材料で、同時に形成される。このため、従来のコモンラインが信号線と同じ材料で形成され、それ故に信号線形成の前にコンタクトホールを付加容量線の端部に形成しておく必要があったが、本発明では、コモンラインがランド部と同じ材料で同時に形成されるため、走査線延長部のランド部への接続と、付加容量線との接続、つまりコモンラインの形成を同時に行なうことができ、ランド部の形成の前にコンタクトホールを、付加容量線の端部と走査線の延長部上の保護膜に形成すればよい。

50

3

【0013】したがって、コンタクトホールを形成するための工程を1度に減すことができ、これによって、フォトリソグラフィ、ドライエッチング、レジスト剥離工程をそれぞれ1度づつ削減でき、また、使用するフォトマスクの枚数も1枚削減することができる。これにより、処理時間の短縮化と製造コストの低減、歩留りの向上を図ることができる。

【0014】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0015】図1はアクティブマトリックス型液晶表示装置のアレイ基板の概略平面図を示している。1は走査線(走査電極線)、2は信号線(信号電極線)であり、ガラス基板上にマトリックス状に配設される。走査線1と信号線2の交差位置には窒化ケイ素膜等の絶縁層が介装される。また、各走査線1と各信号線2の各交差位置近傍にはTFT3が配設され、各走査線1と各信号線2が囲む領域に、画素電極4が形成される。各走査線1の延長部には、半田付け実装用電極のランド部6が外部との接続のために設けられ、さらに、各走査線1と平行に多数の付加容量線5が配置され、付加容量線5の両端部は電位供給のためにコモンライン7に接続される。両側のコモンライン7は走査線1のランド部6と同じ材料(ランドメタル)により形成される。

【0016】上記構成のアレイ基板を製造する場合、図2、図3に示すように、まず、ガラス基板10上に、厚さ約1400ÅのCrの膜をスパッタリング法等により形成し、ホトリソグラフィ法等によりパターンニングして、走査線1と付加容量線5を形成する。

【0017】次に、プラズマCVD法により、基板温度300℃において、窒化ケイ素膜を厚さ4000Åで、 μ -Si膜を厚さ300Åで、さらに窒化ケイ素膜を厚さ2000Åで連続して堆積させ、ホトリソグラフィ法によりパターンニングして、ゲート絶縁膜11、半導体層12、エッチングストップ13を夫々形成する。さらに、プラズマCVD法により、半導体層12の上に n^+ - μ -Si膜を500Åの厚さに堆積させ、ホトリソグラフィ法によりパターンニングして n^+ 型半導体14を形成する。

【0018】次に、ITO膜をスパッタリング法で500Åの厚さに堆積させ、ホトリソグラフィ法によりパターンニングして画素電極4を形成する。

【0019】次に、真空蒸着法、スパッタリング法等によりTi膜を厚さ5000Åで堆積させ、ホトリソグラフィ法によりパターンニングして、信号線2、ドレイン電極15を形成する。その後、窒化ケイ素からなる保護膜16を、プラズマCVD法、ホトリソグラフィ法により、画素電極4を除く基板上に形成する。

【0020】そして、付加容量線5の両端部を覆うゲート絶縁膜11と保護膜16に、四フッ化炭素ガスを使用

(3)

特開平7-36061

4

したドライエッチング法等により、コンタクトホールHが形成される(図3)。

【0021】最後に、図1に示すように、半田付け実装用電極のランド部6が各走査線1の延長端部に接続・形成されると共に、各付加容量線5の両端に沿ってそれらを接続するように、コモンライン7が保護膜16の上から図3のように形成される。これらのランド部6とコモンライン7は、ランドメタルと呼ばれるTi, Ni, Auの金属を、スパッタリング法等により1000Å、5000Å、1500Åの厚さで各々堆積させ、ホトリソグラフィ法によりパターンニングして形成される。コモンライン7においては、その金属がコンタクトホールHに充填され、付加容量線5の上に接触することにより、コモンライン7が各付加容量線5と接続される。

【0022】このように、付加容量線5の端部に接続されるコモンライン7が、走査線1の延長部に接続される半田付け実装用電極のランド部6と同じ材料で、同時に形成される。

【0023】このため、従来のアレイ基板のコモンラインが信号線と同じ材料で形成され、それ故に信号線形成の前にコンタクトホールを付加容量線の端部に形成しておく必要があったが、このアレイ基板では、コモンライン7がランド部6と同じ材料で同時に形成されるため、走査線延長部のランド部6への接続と、付加容量線5の接続、つまりコモンライン7の形成を同時に行なうことができ、ランド部6の形成の前にコンタクトホールHを、付加容量線5の端部と走査線1の延長部上の保護膜に形成すればよい。

【0024】したがって、コンタクトホールを形成するための工程を1度に減すことができ、これによって、フォトリソグラフィ、ドライエッチング、レジスト剥離工程をそれぞれ1度づつ削減でき、また、使用するフォトマスクの枚数も1枚削減することができる。これにより、処理時間の短縮と製造コストの低減、歩留りの向上を図ることができる。

【0025】このように製造されたアレイ基板の表面には、ポリイミド等からなる配向膜が形成される。一方、アレイ基板と対向して配設される対向基板(図示せず)は、別のガラス基板上にITO等からなる共通電極を形成し、その表面に配向膜を形成して構成される。そして、アレイ基板と対向基板の配向膜側をラビング処理した後、アレイ基板と対向基板が僅かな間隔を置いて平行に貼り合わされ、その間に液晶が封入され、液晶パネルが形成される。

【図面の簡単な説明】

【図1】本発明の一実施例を示すアレイ基板の概略平面説明図である。

【図2】走査線1とTFT3と付加容量線5の部分拡大断面図である。

【図3】付加容量線端部上におけるコモンラインの部分

(4)

特開平7-36061

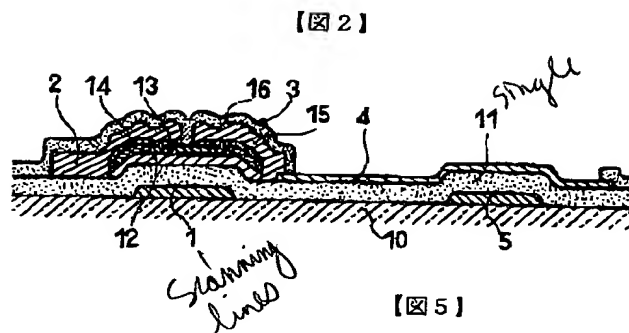
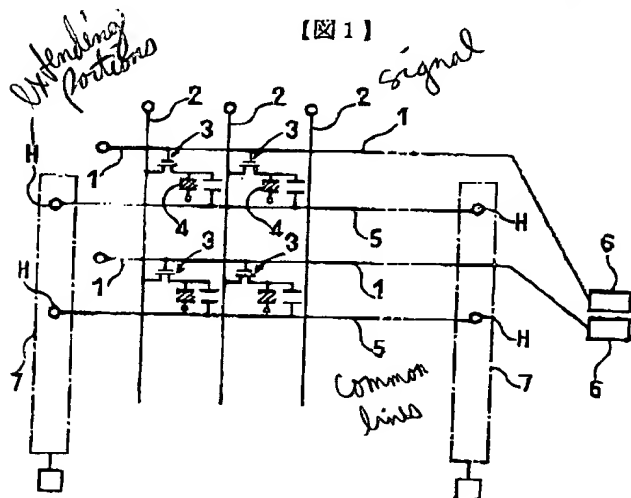
拡大断面図である。

【図4】アレイ基板の製造工程を示す工程図である。

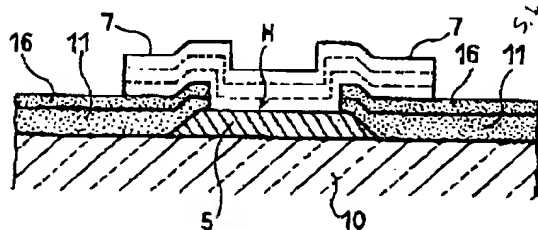
【図5】従来のアレイ基板の製造工程を示す工程図である。

【符号の説明】

1-走査線、2-信号線、3-TFT、5-付加容量線、6-ランド部、7-コモンライン、10-ガラス基板。



【図3】



【図4】

